

Automatisierter parametrischer Entwurf von LDO-Reglern in High-Voltage-ASICs

cand. Ing. Jörg Krupar, Fakultät Elektrotechnik, TU-Dresden, Mommsenstrasse, 01062 Dresden

Dr.-Ing. Marco Götz, Alcatel Microelectronics, Design Center Dresden, Königsbrücker Str. 61, 01099 Dresden

Kurzfassung

In diesem Beitrag wird ein analysebasiertes Tool zum parametrischen Entwurf von LDO-Reglern mit PMOS-Pass-Device vorgestellt. Ziel des Entwurfes ist die Bestimmung der Bauelementeparameter des Pass-Devices und des Error-Amplifiers aus vorgegebenen Spezifikationswerten und abgeleiteten Entwurfscharakteristiken.

1 Motivation und Einführung

In High-Voltage-ASICs ist der Linear-Regler eine der am häufigsten benötigten Baugruppen. Aufgabe des Linear-Reglers ist die Umsetzung der Bordspannung in eine niedrigere stabilisierte und geschützte Spannung zur Versorgung des Digitalteiles und anderer Niederspannungskomponenten. Dabei sind der Eingangsspannungsbereich und die Lastbedingungen je nach Applikation stark verschieden. Für einen effizienten Reglerentwurf wird deshalb ein Tool benötigt, das wenigstens die Umsetzung der Spezifikation in eine feste Systemarchitektur erlaubt.

In der Automobil-Elektronik ist die Funktion der Baugruppen auch während des Anlaufvorganges bei zusammengebrochener Bordspannung sicherzustellen. Deshalb wird dort meist ein Low-Drop-Output (LDO)-Regler eingesetzt. Die typische Architektur eines LDO-Reglers ist in Bild 1 dargestellt. Seine Funktionsweise ist folgende: Die Ausgangsspannung wird über einen resistiven Spannungsteiler zurückgeführt und mit einer Referenzspannung verglichen (siehe [2]). Der durch eine Laständerung verursachte Spannungsfehler wird im Error-Amplifier verstärkt. Dessen Ausgangsspannung regelt den Strom durch das Pass-Device dem Fehler entsprechend. Auf diese Weise wird die Ausgangsspannung in einem engen Regelbereich gehalten. Der Kondensator C_{RF} schließt HF-Einstreuungen kurz. Die eigentliche Siebkapazität ist C_0 . Diese besitzt einen parasitären Serienwiderstand R_{ESR} . Bei LDO-Reglern wird dieser Widerstand zur Stabilisierung des AC-Verhaltens benutzt. Häufig verwendete Pass-Devices sind pnp- oder PMOS-Transistoren.

2 Entwurfsproblem

Im allgemeinen ist der Entwurf in folgende Schritte unterteilt: (1) Ausarbeiten der Spezifikation, (2) Festlegen der Entwurfsparameter, (3) Berechnen der Entwurfscharakteristika, (4) Bestimmen der Wertebereiche der Entwurfspara-

meter. Im folgenden werden die Schritte (1) - (3) für den LDO-Reglerentwurf näher erläutert.

2.1 Spezifikation

Typische Spezifikationsparameter sind aus Tab. 1 ersichtlich. Damit sind folgende Blöcke des Reglers festgelegt (siehe Bild 1): Referenzspannungsquelle (typ. $U_{Ref} = 1.23V$), externe Bauelemente (typ. $C_{RF} = 100nF$, $C_0 = 33\mu F$, $R_{ESR} = 0.1 \dots 1\Omega$), Lastbedingungen (typ. $R_{Last} = 10^2 \dots 10^6\Omega$).

Name	typ.	min.	max.
U_{PP}	13V	5.25V	16.5V
U_{out}	5V	4.75V	5.25V
I_{out}		$10^1 \dots 10^2 \mu A$ (Sleep Mode)	$10^1 \dots 10^2 mA$ (Operation Mode)

Tab. 1: Beispiel für die Spezifikation eines LDO-Reglers für Automotive-ASICs.

2.2 Bauelementeparameter

Die parametrisch zu entwerfenden Blöcke Pass-Device, Spannungsteiler und Error-Amplifier, siehe Bild 1, besitzen folgende Modell- und Bauelementeparameter:

1 - Pass-Device. (a) *Typenauswahl:* Das als Längstransistor realisierte Pass-Device ist in LDO-Reglern entweder ein pnp-Bipolartransistor oder ein P-MOSFET-Leistungstransistor. PMOS-Transistoren, auf die wir uns im folgenden konzentrieren, stehen in High-Voltage (HV)-Halbleitertechnologien mit verschiedenen maximal zulässigen Drain-Source-Spannungen und Gate-Bulk-Spannungen zur Verfügung. Die Auswahl wird durch die maximale Betriebsspannung und eventuell durch temporäre hochenergetische Spannungspulse (Schaffnerpulse) bestimmt. (b) *Bauelementeparameter:* Der einzige zu bestimmende Parameter ist bei HV-PMOS-Transistoren die Weite W . Diese bestimmt die Trei-

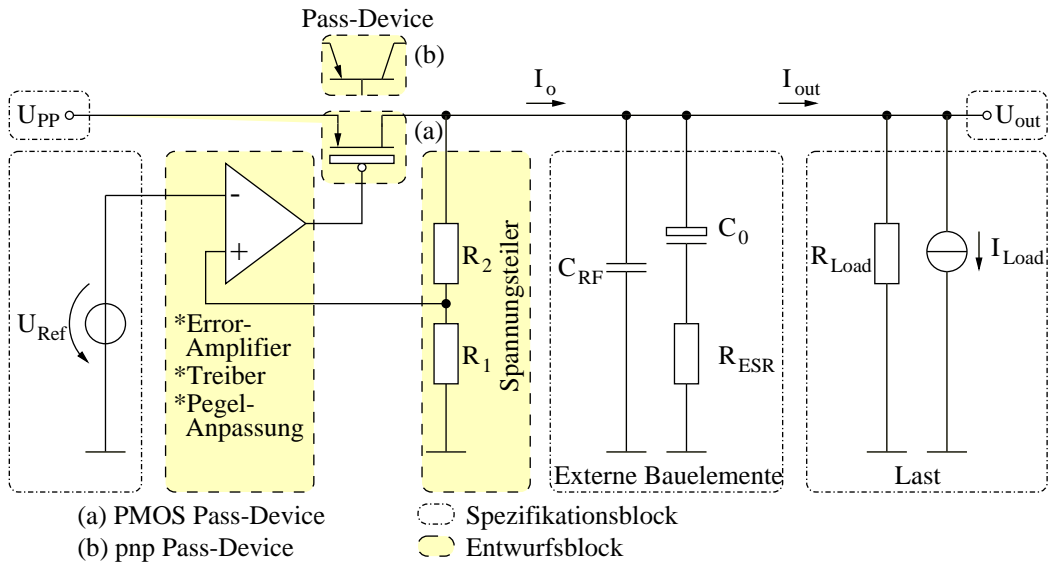


Bild 1: Typische Architektur von LDO-Reglern.

berfähigkeit des PMOS. Die Kanallänge ist bei HV-Transistoren fest und technologisch auf den Kanalwiderstand im eingeschalteten Zustand, R_{DSon} , optimiert.

2 - Spannungsteiler. Die zu bestimmenden Parameter sind die Widerstände R_1 und R_2 . Aufgrund der geforderten niedrigen Ruhestromaufnahme (Sleep-Mode siehe Tab. 1) müssen diese beiden Widerstände sehr hochohmig ($> 100k\Omega$) sein. Hier stehen HiPo-Widerstände zur Verfügung. HiPo-Widerstände bestehen aus schwach dotiertem Poly-Silizium.

3 - Error-Amplifier. Diese Baugruppe wird in drei Stufen unterteilt:

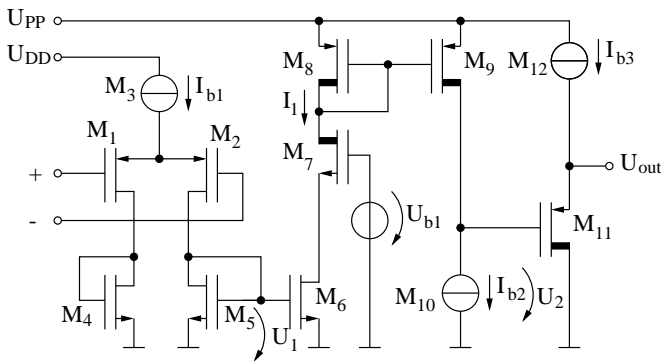


Bild 2: Architektur des Error-Amplifiers.

fen unterteilt: (1) die Differenzstufe mit Biasstromquelle, (2) die Last für die Differenzstufe, (3) die Ausgangsstufe mit Treiber. Für jede dieser Stufen gibt es mehrere Realisierungsmöglichkeiten. Der Entwurfsablauf wird hier anhand der in Bild 2 dargestellten Architektur erläutert. Aufgrund der HV-Betriebsspannung muß die Ausgangsstufe mit Hoch-

volt-FETs realisiert werden. Hochvolt-FETs besitzen ein "Lightly-Doped-Drain" (LDD) zur Absenkung der Feldstärke an der drainseitigen Kanalabschnürung. Das LDD ist in der Schaltung dick hervorgehoben. Die anderen beiden Stufen werden meist mit Niedervolt-FETs wegen ihrer kleineren Fläche und Schwellspannung realisiert. Der Error-Amplifier besitzt folgende Modellparameter: Eingangsaussteuerungsbereich (CMR_{in}), Grundverstärkung (v_{amp}), Ausgangsaussteuerungsbereich ($U_{out_{min}}^{max}$) und die Polfrequenzen ($f_{pamp1}, f_{pamp2}, f_{pamp3}$). Wie in 2.3 erläutert, sind die Nullstellen für den Reglerentwurf uninteressant, sofern keine Nullstelle in der Nähe des ersten Poles auftritt. Bauelementeparameter sind die Weiten der Transistoren und die Biasströme. Die Entwurfs- und Modellparameter sind in Tab. 2 zusammengefaßt.

Block	Modellparameter	Bauelementeparameter
Pass Device	I_o, U_{PP}, U_{out}	W
Spannungsteiler	U_{out}, U_{ref}	R_1, R_2
Error-Amplifier	v_{amp} CMR_{in} $U_{out_{min}}^{max}$ $f_{pamp1...3}$	$S_{1...6} = \left(\frac{W}{L}\right)_{1...6}$ $W_{7...12}$ $I_{b1...3}$ U_{b1}

Tab. 2: Bauelemente- und Modellparameter des LDO-Reglers.

2.3 Entwurfscharakteristiken

Das Verhalten von Linear-Reglern wird in drei Bereichen charakterisiert: (1) DC-Verhalten, (2) AC-Verhalten und (3)

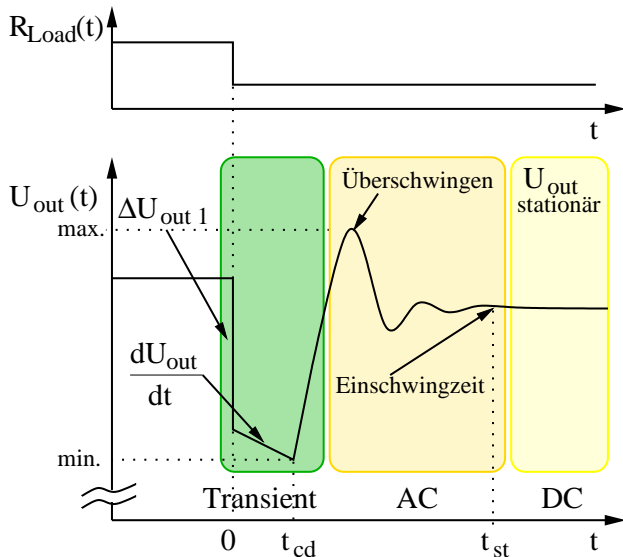


Bild 3: Reaktion eines Linear-Reglers auf einen Lastsprung.

Transient-Verhalten. Bild 3 zeigt die geregelte Spannung U_{out} bei einem Lastsprung. Der Signalverlauf ist in drei Phasen zerlegbar, die, wie aus Bild 3 hervorgeht, den drei Charakterisierungsarten zugeordnet sind. Die Entwurfscharakteristiken lassen sich in Synthese- und Analyseparameter unterteilen. Aus den *Syntheseparametern* werden direkt Entwurfsparameter berechnet oder nach Entwurfsregeln abgeleitet (a priori Parameter). Danach werden die *Analyseparameter* auf ihre Lage in vorgegebenen Toleranzbereichen überprüft (a posteriori Parameter). Für die drei Verhaltensbereiche ergeben sich folgende Charakteristiken:

1 - DC-Verhalten. *Syntheseparameter:* Bild 4 zeigt die

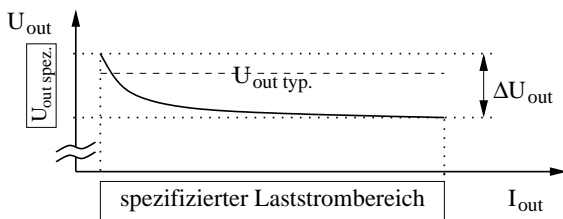


Bild 4: DC-Verhalten von LDO-Reglern.

DC-Ausgangsspannung eines LDO-Reglers in Abhängigkeit vom Laststrom. Mit den dort festgelegten Grenzen ist die Transkonduktanz des Reglers bestimmt durch:

$$g_{m_{ges}} = \frac{\Delta I_o}{\Delta U_{out}} \quad (1)$$

Die im Pass-Device umgesetzte Verlustleistung beträgt:

$$P_v = I_o(U_{PP} - U_{out}) \quad (2)$$

Zu den *Analyseparametern* zählt die Abhängigkeit $U_{out}(U_{PP})$.

2 - AC-Verhalten. Das AC-Verhalten eines LDO-Reglers

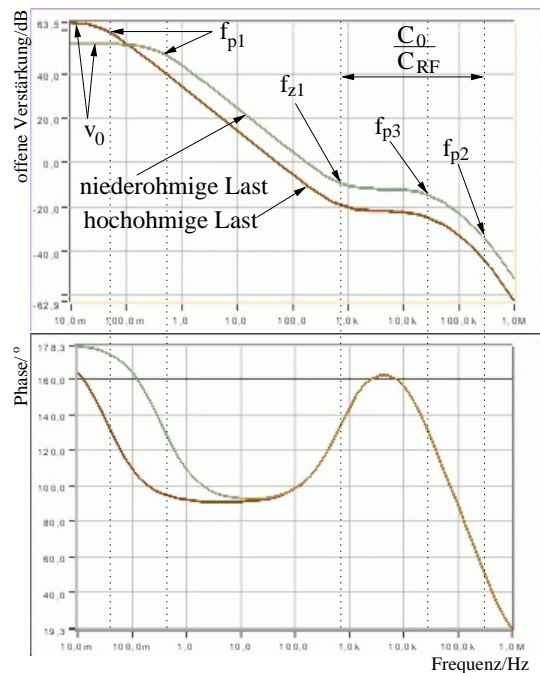


Bild 5: AC-Verhalten eines LDO-Reglers mit PMOS-Pass-Device für verschiedene Lastwiderstände.

mit PMOS-Pass-Device für verschiedene Lastwiderstände ist in Bild 5 dargestellt. *Syntheseparameter:* Das Verhalten des Pass-Devices mit den externen Komponenten ist mit zwei Polen und einer Nullstelle modelliert. Die Übertragungsfunktion dazu lautet:

$$\underline{v}(s) = v_0 \frac{1 - \frac{s}{z_1}}{\left(1 - \frac{s}{p_1}\right) \left(1 - \frac{s}{p_2}\right)} \quad (3)$$

Bedingt durch das Stromquellenverhalten des PMOS-Pass-Devices sind sowohl der dominante Pol als auch die Kleinsignalverstärkung stark lastabhängig. Die Verstärkung sinkt mit 10dB bei einer Verringerung des Lastwiderstandes um eine Dekade, während sich f_{p1} umgekehrt proportional zu R_l verhält. Die Analyse ergibt folgende Zusammenhänge:

$$v_0 = \frac{2}{\lambda_{Pass}} \sqrt{\frac{\beta_{Pass} R_{Load}}{U_{out}}} \quad (4)$$

$$p_1 = \frac{\tau_3}{2\tau_1\tau_2} - \sqrt{\left(\frac{\tau_3}{2\tau_1\tau_2}\right)^2 - \frac{A}{2\tau_1\tau_2}} \quad (5)$$

mit

$$\tau_1 = C_0 r_{DS} \quad \tau_2 = C_{RF} R_{ESR} \quad (6)$$

$$\tau_3 = C_0 \left(R_{ESR} + r_{DS} \left(1 + \frac{R_{ESR}}{R_{Load}} \right) \right) \quad (7)$$

und

$$A = 1 + \frac{r_{DS}}{R_{Load}} \quad \cdot \quad z_1 = \frac{1}{R_{ESR}C_0} \quad (8)$$

Mit der Näherung:

$$\left(\frac{\tau_3}{2\tau_1\tau_2} \right)^2 \gg \frac{A}{2\tau_1\tau_2} \quad (9)$$

ergibt sich:

$$p_2 \approx \frac{1}{R_{ESR}C_{RF}} \quad \cdot \quad (10)$$

Entwurfsbestimmend bezüglich des AC-Verhaltens des Error-Amplifiers ist aufgrund der Dominanz der Pass-Device-Charakteristiken nur der erste Pol und die Grundverstärkung. Dieser ist in Bild 5 mit f_{p3} bezeichnet. Alle weiteren Pole und Nullstellen müssen außerhalb der Unity-Gain-Bandwidth des Gesamtsystems liegen.

3 - Transient-Verhalten. Das Transientverhalten ist in Bild 3 dargestellt. *Analyseparameter:* Nach Änderung des Laststromes beträgt die Ausgangsspannungsänderung

$$\Delta U_{out1} = \Delta I_{out} R_{ESR} \quad \cdot \quad (11)$$

Danach wird die Siebkapazität mit dem veränderten Laststrom entladen, bis zur Zeit t_{cd} die Regelung einsetzt. Nach der anschließenden Slew-Phase mit maximalem Ausgangsstrom setzt der Einschwingvorgang mit Kleinsignalverhalten ein.

3 Entwurfsablauf

Anhand des in Bild 6 dargestellten Entwurfsablaufes wird im folgenden die Vorgehensweise zum Entwurf von LDO-Reglern dargestellt. Wie in Abschnitt 2.3 erläutert, ist die Dimensionierung des Pass-Devices von entscheidender Bedeutung für das Verhalten des LDO-Reglers. Der Error-Amplifier ist den sich daraus ergebenden Forderungen anzupassen. Der Entwurfsablauf erfolgt in drei Abschnitten: (1) Auswahl und Dimensionierung des PMOS-Pass-Devices, (2) Entwurf des Error-Amplifiers, (3) Analyse der Gesamtschaltung.

3.1 Pass-Device und Spannungsteiler

1 - Bauelementeparameter W_{Pass} . Bei sehr geringen Differenzen $U_{PP} - U_{out}$ und hohen Lastströmen arbeitet das Pass-Device im Triodenbereich. Hier nimmt die Verstärkung des Pass-Devices und somit die Gesamtverstärkung stark ab. Die Folge ist eine geringere Regelgenauigkeit. Der Bereichsübergang muß daher unter allen Betriebsbedingungen

vermieden werden. Die Dimensionierung erfolgt folgendermaßen:

$$U_{GS_{eff}} = U_{GS} - U_t = U_{PP} - U_{out} \quad (12)$$

$$W_{Pass} \geq \frac{2U_{out}}{k_p R_{L_{min}} (U_{GS} - U_t)^2} \quad (13)$$

2 - AC-Parameter. Mit den Gleichungen 3 bis 10 wird das AC-Verhalten bei verschiedenen Eckpunkten ermittelt und in Bode-Diagrammen dargestellt. Dadurch erhält der Designer einen Überblick über die AC-Eigenschaften des Pass-Devices mit der externen Beschaltung sowie über die Eckwerte dieser Eigenschaften bei den Grenzparametern der spezifizierten Blöcke.

3 - Widerstandsverhältnis $\frac{R_1}{R_2}$. Die Widerstände sind durch den Querstrom (typ. einige μA) und durch Gl. 14 bestimmt.

$$\frac{R_1}{R_1 + R_2} = \frac{U_{ref}}{U_{out}} \quad \cdot \quad (14)$$

3.2 Ermittlung der Modellparameter für den Error-Amplifier

1 - Verstärkung, Aussteuerbereich und Treiberfähigkeit.

Ausgangsaussteuerbereich und minimale Verstärkung des Error-Amplifiers werden aus $U_{GS_{Pass}}(I_{out_{min}})$ und ΔU_{out} berechnet. Der Eingangsaussteuerbereich ist durch die Referenzspannung bestimmt. Unter der Annahme, daß die internen Verzögerungszeiten des Error-Amplifiers vernachlässigbar gegenüber dem Umladen der Gate-Kapazität des Pass-Devices sind, gilt folgende Beziehung:

$$t_{cd} = C_{G_{Pass}} \frac{U_{GS_{Pass}}(I_{out_{min}}) - U_{GS_{Pass}}(I_{out_{max}})}{I_{b3}} \quad (15)$$

Daraus ergibt sich der notwendige Ausgangsstrom des Error-Amplifiers.

2 - Platzierung des dritten Poles. Für die Reglerstabilität ist die Lage des dritten Poles wesentlich. Es existieren vier mögliche Bereiche für f_{p3} : (1) $f_{p3} < f_{p1}$, (2) $f_{p1} < f_{p3} < \frac{1}{4}f_{z1}$, (3) $\frac{1}{4}f_{z1} < f_{p3} < \frac{1}{10}f_{p2}$ und (4) $f_{p3} > 10f_{p2}$. Je nach Reglerstruktur und Dimensionierung sind bestimmte Bereiche unzulässig. Zur Berechnung der zulässigen Bereiche werden folgende Näherungen benutzt: (a) Jeder Pol erzeugt einen Amplitudenabfall von 20dB je Dekade, beginnend ab Polfrequenz. (b) Die Phasendrehung beginnt bei $\frac{1}{10}f_p$ und ist bei $10f_p$ abgeschlossen. (c) Eine Phasendrehung von 30° wird bei $\frac{1}{2}f_p$ erreicht. (d) Die entsprechenden komplementären Näherungen werden bei Nullstellen benutzt.

Für das AC-Modell mit drei Polen und einer Nullstelle wird hier das einfache Stabilitätskriterium eines Zweipol-systems benutzt, das in erster Näherung auch hier zutrifft: Der Einschwingvorgang eines Systems mit zwei Polen ist

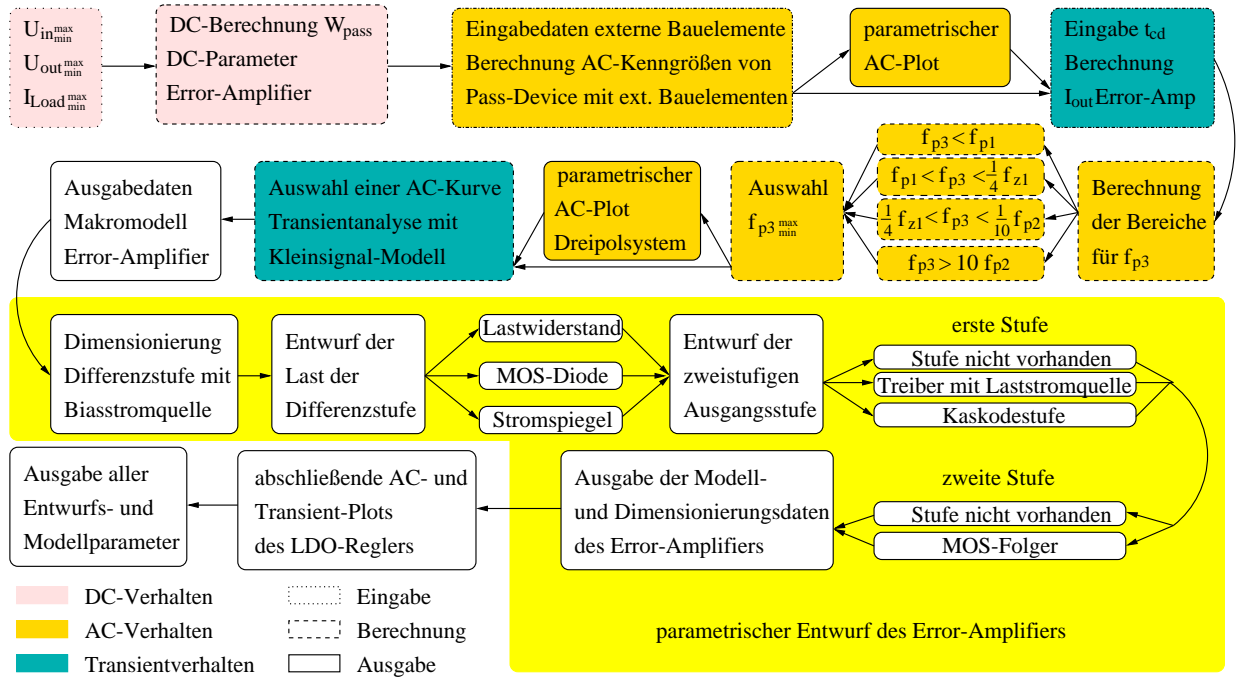


Bild 6: Entwurfsablauf für LDO-Regler.

frei von Überschwingen, wenn die Phasenreserve mindestens 60° beträgt. Zum Erreichen dieser Phasenreserve muß die Unity-Gain-Bandwidth (UGB) kleiner sein als die halbe Frequenz des Poles, der die Phase von -90° nach -180° dreht.

(1) - $f_{p3} < f_{p1}$. Hier gilt: $UGB \leq \frac{1}{2} f_{p1}$. Daraus folgt die Forderung: $f_{p3} < \frac{f_{p1}}{2v_{ges}}$. Dieser Fall ist für einen LDO-Regler mit PMOS-Pass-Device uninteressant, da dieser aufgrund der geringen Unity-Gain-Bandwidth ein träges Regelverhalten besitzen würde.

(2) - $f_{p1} < f_{p3} < \frac{1}{4} f_{z1}$. In diesem Fall muß gelten:

$$f_{p3} > 2f_{p1}v_{ges} \quad (16)$$

(3) - $\frac{1}{4} f_{z1} < f_{p3} < \frac{1}{10} f_{p2}$. Dies ist bei LDO-Reglern der am häufigsten zur Stabilisierung benutzte Fall. Die Nullstelle, verursacht durch R_{ESR} , wird zur Stabilisierung benutzt. Der Amplitudengang ist in Bild 5 dargestellt. Die Platzierung des dritten Poles zwischen $\frac{1}{4} f_{z1}$ und $\frac{1}{10} f_{p2}$ setzt einen entsprechenden Abstand zwischen $\frac{1}{4} f_{z1}$ und $\frac{1}{10} f_{p2}$ voraus (siehe Gleichungen 8 und 10). Mit $UGB \approx v_{ges} f_{p1} \frac{f_{p3}}{f_{z1}}$ und $UGB < \frac{1}{2} f_{p2}$ folgt:

$$f_{p3} < \frac{f_{p2} f_{z1}}{2f_{p1} v_{ges}} \quad (17)$$

4 - $f_{p3} > 10f_{p2}$. Die Forderung an f_{p3} lautet hier:

$$f_{p3} \geq v_{ges} f_{p1} \frac{f_{p2}}{f_{z1}} \quad (18)$$

Praktisch erfordert dies technisch wenig sinnvolle Polfrequenzen von $f_{p3} > 10\text{MHz}$.

3.3 Error-Amplifier

1 - Differenzstufe mit Biasstromquelle.

Die Dimensionierung von $M_1 \dots M_3$ ergibt sich aus dem wählbaren Strom I_{b1} und dem Bereich CMR_{in} . Die maximale Gleichakteingangsspannung beträgt:

$$CMR_{in}^{max} = U_{DD} - \sqrt{\frac{2I_{b1}}{\beta_3}} - U_{t1} - \sqrt{\frac{2I_{b1}}{\beta_{1,2}}} \quad (19)$$

Die Eingangssättigungsspannung $U_{d^{max}}$ und die Kleinsignaltranskonduktanz $g_{m_{diff}}$ betragen:

$$U_{d^{max}} = \sqrt{\frac{2I_{b1}}{\beta_{1,2}}} \quad (20)$$

$$g_{m_{diff}} = \sqrt{2I_{b1}\beta_{1,2}} \quad (21)$$

2 - Last der Differenzstufe.

Der Differenzstrom wird mittels dieser Stufe in die Zwischenspannung U_1 umgesetzt. Die wichtigsten Parameter sind:

$$U_{1min} = U_{t5} \quad U_{10} = U_{t5} + \sqrt{\frac{I_{b1}}{\beta_5}} \quad (22)$$

$$U_{1max} = U_{t5} + \sqrt{\frac{2I_{b1}}{\beta_5}} \quad (23)$$

Die Begrenzung von U_1 erfolgt bei:

$$U_{1gr} = CMR_{in} + U_{t1,2} \quad (24)$$

Mit der Näherung: $r_{DS1} \gg \frac{1}{g_{m5}}$ betragen die Kleinsignalparameter im Arbeitspunkt:

$$r_{Diffout} \approx \sqrt{\frac{1}{\beta_5 I_{b1}}} \quad (25)$$

$$v_{Diff} = g_{m_{Diff}} r_{Diffout} \quad (26)$$

$$C_{o_{Diff}} = C_{GD2} + C_{GS5} + C_{GB5} \quad (27)$$

3 - Ausgangsstufe.

M_5 und M_6 sind vom gleichen Typ. M_6 übersetzt U_1 in den Strom I_1 . Der Kaskodetransistor M_7 ist die Schnittstelle zwischen dem Low- und High-Voltage Teil. Über den Stromspiegel M_8, M_9 wird $\frac{W_9}{W_8} \cdot I_1$ mit I_{b2} verglichen. Bedingt durch $r_{DS9,10}$ erfolgt die Umsetzung der Stromdifferenz in die Spannung U_2 . Trotz des sehr hohen Lastwiderstandes ist der Source-Folger am Ausgang notwendig. Dieser dient zur Einstellung der Polfrequenz am Ausgang (siehe [1]). Die Dimensionierung der Ausgangsstufe erfolgt mit folgenden Schritten:

Großsignalkenngrößen: (1) Strom I_1 in Abhängigkeit von U_1 :

$$I_1 = \frac{\beta_6}{2}(U_1 - U_{t6})^2 (1 + \lambda_6 U_{DS6A}) \quad (28)$$

$$U_{DS6A} = U_{b1} - U_{t7} - \sqrt{\frac{I_{b1} \frac{S_6}{S_5}}{\beta_7}} \quad (29)$$

mit der Näherung: $\Delta U_{GS_{eff7}}(U_1) \ll U_{DS6}$.

(2) Eingangsspannung am Source Folger M_{11} :

$$U_2 = \frac{I_1 \frac{W_9}{W_8} (1 + \lambda_6 U_{DS6A}) (1 + \lambda_9 U_{PP}) - I_{b2}}{I_{b2} \lambda_{10} + I_1 \frac{W_9}{W_8} (1 + \lambda_6 U_{DS6A}) \lambda_9} \quad (30)$$

mit der Näherung: $\lambda_{12} U_{PP} \ll 1$.

(3) Ausgangsspannung des Error-Amplifiers:

$$U_{out} = U_2 + U_{t11} + \sqrt{\frac{2I_{b3}}{\beta_{11}}} \quad (31)$$

(4) Ausgangsspannungsbegrenzung:

$$U_{outmin} = \sqrt{\frac{2I_{b2}}{\beta_{10}}} + U_{t11} + \sqrt{\frac{2I_{b3}}{\beta_{11}}} \quad (32)$$

$$U_{outmax} = \sqrt{\frac{2I_{b3}}{\beta_{12}}} \quad (33)$$

Kleinsignalkenngrößen (AC):

(5) Verstärkung im Arbeitspunkt:

$$v_{amp} = g_{m_{Diff}} \frac{S_6 W_9}{S_5 W_8} \frac{1}{I_{b2}(\lambda_9 + \lambda_{10})} \quad (34)$$

(6) Pol am Ausgang des Error-Amplifiers:

$$p_{amp3} = \frac{\sqrt{2\beta I_{b3}}}{C_{GP_{ass}}} \quad (35)$$

(7) Pol am Eingang des Source-Folgers:

$$p_{amp2} = \frac{I_{b2}(\lambda_9 + \lambda_{10})}{C_{GD9} + C_{GD10} + C_{GD11} + C_{eff1}} \quad (36)$$

mit

$$C_{eff1} = \frac{C_{GS11} + C_{GB11}}{\sqrt{1 + \left(\frac{p_{amp2}}{p_{amp1}}\right)^2}} \quad (37)$$

(8) Pol im Stromspiegel M_8, M_9 :

$$p_{amp1} = \frac{g_{m8}}{C_{mirror} + C_{Goeff9}} \quad (38)$$

mit

$$C_{mirror} = C_{GS8} + C_{GS9} + C_{GB8} + C_{GB9} + C_{GD7} \quad (39)$$

$$C_{Goeff9} = C_{GD9} \left(1 + \frac{v_9}{\sqrt{1 + \left(\frac{p_{amp2}}{p_{amp1}}\right)^2}} \right) \quad (40)$$

$$v_9 = \frac{g_{m9}}{I_{b2}(\lambda_9 + \lambda_{10})} \quad (41)$$

4 Schlußbemerkung

Der in diesem Beitrag dargelegte Entwurfsablauf eines LDO-Reglers ist formal algorithmierbar. Eine Implementation in einer C-ähnlichen Programmiersprache liegt den Autoren vor. Dieses Tool führt die komplette Grobdimensionierung von LDO-Reglern zuverlässig und effizient durch. Für die Zukunft ist eine Toolerweiterung für die bedeutsame Klasse der Schaltregler vorgesehen.

A Literatur

- [1] G. A. Rincon-Mora, P. E. Allen: "A Low-Voltage, Low Quiescent Current, Low Drop-Out Regulator", IEEE, J. Solid State Circuits, Vol. 33, No. 1, Jan. 1998, Seiten 36-44
- [2] S. Franco: Design with Operational Amplifiers and Analog Integrated Circuits, second edition, McGraw-Hill Companies, New York